

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G09G 3/36

G02F 1/136

[12] 发明专利申请公开说明书

[21] 申请号 01112022.3

[43] 公开日 2001 年 10 月 31 日

[11] 公开号 CN 1319832A

[22] 申请日 2001.3.26 [21] 申请号 01112022.3

[30] 优先权

[32] 2000.3.27 [33] JP [31] 87151/2000

[32] 2001.1.23 [33] JP [31] 14350/01

[71] 申请人 精工爱普生株式会社

地址 日本东京都

[72] 发明人 村出正夫

[74] 专利代理机构 中国专利代理(香港)有限公司

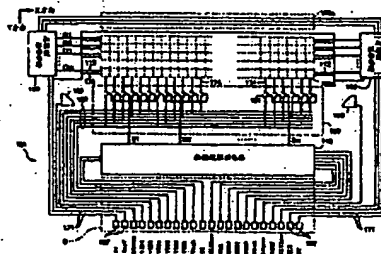
代理人 刘宗杰 叶恺东

权利要求书 5 页 说明书 25 页 附图页数 14 页

[54] 发明名称 电光装置、其制造方法和电子设备

[57] 摘要

在基板 10 中,在要形成延伸至接线端子 107 的布线 171 的部分上设置沟 12。然后,用第 2 层绝缘膜 42 来覆盖接线端子 107 和布线 171,并且在与接线端子 107 对应的部分上设置开孔部 42a。由此,减少接线端子 107 和延伸至其内的布线 171 中的阶梯。



ISSN 1008-4274

知识产权出版社出版

BEST AVAILABLE COPY

权 利 要 求 书

1. 一种电光装置, 其特征在于, 包括:
多个层组成的基板;
在所述基板的外表面上形成的绝缘膜;
5 在与所述绝缘膜大致相同的同一平面上形成的输入图像信号的接线端子; 以及
与所述接线端子导通的布线.
2. 如权利要求 1 的电光装置, 其特征在于:
在构成所述基板的层的至少一层上, 设置形成所述接线端子的区
10 域的沟.
3. 如权利要求 2 的电光装置, 其特征在于:
在形成所述接线端子的区域的沟中, 设置构成所述接线端子的导电膜.
4. 如权利要求 2 的电光装置, 其特征在于:
15 在构成所述基板的层的至少一层的所述布线的至少所述接线端子侧的区域下, 设置与形成所述接线端子区域的沟连接的布线沟.
5. 如权利要求 4 的电光装置, 其特征在于:
将所述基板的外表面上形成的绝缘膜形成在形成所述接线端子区域的沟的区域和形成所述布线的沟的区域上.
- 20 6. 如权利要求 1 的电光装置, 其特征在于:
所述接线端子由多层的导电膜来形成.
7. 如权利要求 3 的电光装置, 其特征在于:
在所述形成所述接线端子区域的沟的区域下形成至少一层高度调整膜.
- 25 8. 如权利要求 7 的电光装置, 其特征在于:
所述沟的深度与所述接线端子的厚度和所述高度调整膜的厚度之和大致相同.
9. 如权利要求 7 的电光装置, 其特征在于:
所述高度调整膜是所述显示区域上形成的布线和构成所述周边电
30 路的布线中的至少一个布线.
10. 如权利要求 2 的电光装置, 其特征在于:
所述沟的深度与所述布线的厚度大致相同.

11. 一种电光装置, 其特征在于, 包括:
多个层组成的基板;
在所述基板上设置的输入图像信号的接线端子;
在构成所述基板的层的至少一层上, 在形成到达所述接线端子的
5 布线的至少一部分上设置的沟;
在与所述沟对应的区域上形成的所述布线; 以及
在所述布线上形成的绝缘膜.
12. 如权利要求 11 的电光装置, 其特征在于:
所述接线端子由构成所述布线的电镀膜来形成, 所述布线上形成
10 的所述绝缘膜露出所述接线端子.
13. 如权利要求 11 的电光装置, 其特征在于:
所述接线端子的表面和所述绝缘膜的表面为大致相同的高度.
14. 如权利要求 11 的电光装置, 其特征在于:
将所述沟形成在包围所述接线端子的区域中, 在包围所述接线端
15 子的区域上形成所述布线.
15. 如权利要求 14 的电光装置, 其特征在于:
形成在所述布线上的所述绝缘膜的表面和与形成所述布线的区域
邻接的所述绝缘膜的表面为大致相同的高度.
16. 如权利要求 11 的电光装置, 其特征在于:
20 所述布线由所述显示区域上形成的布线来形成.
17. 如权利要求 11 的电光装置, 其特征在于:
所述布线由在显示区域周围形成的构成周边电路的布线来形成.
18. 如权利要求 11 的电光装置, 其特征在于:
所述布线由显示区域上形成的布线和在所述显示区域的周围形成
25 的构成周边电路的布线来形成.
19. 如权利要求 11 的电光装置, 其特征在于:
在所述布线的区域下形成至少一层的高度调整膜.
20. 如权利要求 19 的电光装置, 其特征在于:
所述沟的深度与所述布线的厚度和所述高度调整膜的厚度之和大
30 致相同.
21. 如权利要求 19 的电光装置, 其特征在于:
所述高度调整膜是所述显示区域上形成的布线和构成所述周边电

路的布线中的至少一个布线。

22. 如权利要求 11 的电光装置, 其特征在于:

所述沟的深度与所述布线的厚度大致相同。

23. 一种电光装置, 其特征在于, 包括:

5 多个层组成的基板;

所述基板上形成的显示区域;

所述显示区域中配置的布线;

所述基板上的所述显示区域的周边上形成的与所述布线电连接的
周边电路;

10 所述基板上形成的接线端子;

将所述周边电路和所述接线端子电连接的布线;

在构成所述基板的层的至少一层上, 在形成所述周边电路的部分
上设置的沟; 以及

所述周边电路上形成的绝缘膜。

15 24. 一种电光装置, 其特征在于, 包括:

多个层组成的基板;

所述基板上形成的显示区域;

所述显示区域中配置的布线;

20 所述基板上的所述显示区域的周边上形成的与所述布线电连接的
周边电路;

所述基板上形成的接线端子;

将所述周边电路和所述接线端子电连接的布线;

在构成所述基板的层的至少一层上, 在形成所述周边电路的部分
上设置的沟;

25 形成所述接线端子的区域的沟; 以及

在所述周边电路的沟和形成所述接线端子的区域的沟的区域中形
成的构成外表面的绝缘膜。

25. 一种电光装置, 其特征在于, 包括:

多个层组成的基板;

30 所述基板上形成的显示区域;

所述显示区域中配置的布线;

在所述基板上的所述显示区域的周边上形成的与所述布线电连接

的周边电路;

所述基板上形成的接线端子;

将所述周边电路和所述接线端子电连接的布线;

在构成所述基板的层的至少一层上, 在形成配置于所述显示区域
5 中的布线的部分上设置的沟;

在构成所述基板的层的至少一层上, 在形成所述周边电路的部分
上设置的沟;

形成所述接线端子的区域的沟; 以及

在所述周边电路的沟和形成所述接线端子的区域的沟的区域中形
10 成的构成外表面的绝缘膜。

26. 一种电光装置, 其特征在于, 包括:

多个层组成的基板;

所述基板上形成的显示区域;

所述显示区域中配置的数据线;

15 沿所述显示区域的一边形成的数据线驱动电路;

夹置所述数据线驱动电路并与所述显示区域的一边对置那样形成
的接线端子;

将图像信号供给与所述接线端子电连接的所述数据线的信号线;

在构成所述基板的层的至少一层上, 形成接线端子的区域的沟;

20 以及

构成所述基板的外表面, 并使所述接线端子露出的绝缘膜。

27. 如权利要求 26 的电光装置, 其特征在于:

在构成所述基板的层的至少一层上, 至少在所述数据线驱动电路
和所述接线端子之间的区域内形成所述信号线的部分上形成沟。

25 28. 如权利要求 26 的电光装置, 其特征在于:

在构成所述基板的层的至少一层上, 在形成所述数据线驱动电路
的部分上形成沟。

29. 如权利要求 26 的电光装置, 其特征在于:

在所述显示区域的一边和所述数据线驱动电路之间, 配有采样电
30 路, 在所述数据线驱动电路中控制对所述数据线供给的图像信号。

30. 如权利要求 29 的电光装置, 其特征在于:

在构成所述基板的层的至少一层上, 形成在形成所述采样电路的

部分上设置的沟。

31. 如权利要求 26 的电光装置, 其特征在于:

在所述显示区域上形成取向膜, 所述取向膜的研磨方向从所述接线端子朝向所述显示区域。

5 32. 一种电子设备, 其特征在于, 包括:

发射光的光源;

对所述光源的发射光进行与图像信息对应的调制的权利要求 1 至权利要求 31 中任一项所述的电光装置; 以及

把所述电光装置调制过的光进行投射的投射部件。

10 33. 一种电光装置的制造方法, 该电光装置根据经多个层组成的基板上所设置的接线端子输入的信号来显示规定的图像, 其特征在于, 该方法包括:

在构成所述基板的层的至少一层上, 在要形成延伸至所述接线端子布线的部分上设置沟的步骤;

15 在与所述沟对应的区域上形成所述布线的步骤; 以及
在所述布线上层积绝缘膜的步骤。

34. 如权利要求 33 所述的电光装置的制造方法, 其特征在于:

所述接线端子与形成所述布线的步骤同时形成, 在层积所述绝缘膜的步骤后, 包括将所述绝缘膜覆盖的接线端子露出的步骤。

20 35. 如权利要求 34 的电光装置的制造方法, 其特征在于:

露出所述接线端子的步骤是对所述绝缘膜进行研磨的步骤。



说明书

电光装置、其制造方法和电子设备

5 本发明涉及使从外部电路输入信号的接线端子形成区域中的阶梯降低的电光装置和其制造方法，以及将该电光装置用于显示部的电子设备。

一般地，电光装置把例如液晶用作电光物质，而进行规定显示的液晶装置具有将液晶夹持在一对基板之间的结构。其中，例如，通过三端子型的开关元件来驱动像素电极的有源矩阵型的液晶装置具有以
10 下那样的结构。即，在构成这种液晶装置的一对基板内，在一个基板上彼此交叉那样地设置多个扫描线和多个数据线，并且对应于这些交叉部分的各个部分设置 TFT (Thin Film Transistor: 薄膜晶体管) 那样的三端子型开关元件和像素电极对，而且，在设置这些像素电极的区域 (显示区域) 的周边上设置用于驱动各个扫描线和数据线的周
15 边电路。此外，在另一基板上设置与像素电极对置的透明的对置电极。在两基板的对置面上，分别设置研磨处理过的取向膜，使得液晶分子的长轴方向在两基板间例如可连续扭曲约 90 度。另一方面，在其各背面侧上分别设置对应于取向方向的偏光器。

这里，图像信号通常通过图像信号线来供给，并且对各数据线通过采样开关以适当的定时来进行采样。此外，如果对应的扫描线上施
20 加的扫描信号变为作用电平，则在扫描线和数据线的交叉部分上设置的开关元件被导通，将对应的数据线上被采样的图像信号供给到像素电极。而且，对置基板上设置的对置电极被维持在一定的电位上。

在这样的结构中，在对各扫描线供给扫描信号、以及通过周边电路按适当的定时供给控制采样开关的采样信号后，在像素电极和对置
25 电极之间夹置的液晶组成的液晶电容上，将图像信号对应的电压有效值施加在每个像素上。

此时，通过像素电极和对置电极之间的光在两电极间施加的电压差为零时，沿液晶分子的扭曲进行约 90 度旋光，而随着电压差增大，
30 液晶分子向电场方向倾斜的结果，其旋光性消失。因此，在例如透过型的电光装置中，在入射侧和背面侧上与研磨方向一致地分别配置偏光轴相互垂直的偏光器的情况下，如果两电极上施加的电压差是零，

则透过光，而随着两电极上施加的电压差增大，光被遮挡。因此，通过按每个像素来控制对像素电极施加的电压，可进行规定的显示。

可是，一般来说，上述的研磨处理是这样的处理：通过使卷绕在滚轮上的抛光布旋转移动，在一定方向（研磨方向）上研磨聚胺等的有机膜表面。然后，通过该研磨处理，有机膜的聚合物主链在研磨方向上延伸，液晶分子沿该延伸方向来排列。

但是，在形成取向膜的衬底面上，特别是在设有像素电极、开关元件、扫描线、数据线、周边电路的基板的衬底面上，因有无各种布线和各种元件等、以及有无接触孔等而产生 500nm~1000nm 左右的阶梯。即使在产生这样的阶梯的衬底面上形成取向膜，在取向膜的表面上仍然产生阶梯。而且，对这样的取向膜进行研磨处理后，抛光布的纤维因阶梯混乱的结果，研磨的程度在整个基板面上会变得不均匀。而且，如果不均匀地施加这种研磨处理的基板注入和密封液晶，则产生被认为是液晶分子未取向在一定方向上的显示不匀。具体地说，产生沿研磨方向的筋状的显示不匀，存在使显示品质下降这样的问题。

本发明是鉴于上述情况提出的发明，其目的在于提供电光装置、其制造方法和电子设备，可降低基板表面中的阶梯，抑制因不均匀的研磨处理造成的显示上的不良情况的产生。

首先，本申请的发明人认为，在上述阶梯内，使显示品质下降最大的阶梯是从外部电路输入各种信号的接线端子和从这些接线端子引出的布线中产生的阶梯。

如果对此详细说明，那么像素电极和连接它的开关元件被对应设置在扫描线和数据线的各交叉部分，所以它们的排列节距取决于扫描线和数据线的排列节距。此外，包括采样开关的周边电路对应于扫描线和数据线来设置，所以构成周边电路的元件的排列节距也取决于扫描线和数据线的排列节距。因此，因这些元件和布线等的阶梯造成的显示不匀按像素排列节距的一倍或其整数倍来发生，所以认为在显示上不大明显。

对此，从缩短由此引出的布线长度的观点和从确保装置整体的对称性的观点来看，使接线端子靠近用于驱动上述采样开关和数据线的数据线驱动电路，并且沿扫描线的延伸方向（即，与数据线的延伸方



向交叉的方向)来排列,而从容易进行与外部连接的观点看,将接线端子比扫描线和数据线的排列节距更宽、即与扫描线和数据线的排列节距无关地来形成。因此,认为因接线端子和延伸至该接线端子的布线的阶梯引起的显示不匀非常显眼。

5 (1)因此,本申请的第1发明的电光装置的特征在于,包括:多个层组成的基板;在所述基板的外表面上形成的绝缘膜;在与所述绝缘膜大致相同的同一平面上形成的输入图像信号的接线端子;以及与所述接线端子导通的布线。

根据该结构,由于可以降低在接线端子的表面和其周边表面上产生的阶梯,所以可抑制研磨处理中的抛光布的纤维搞混乱。

(2)第1发明的特征在于,在构成所述基板的层的至少一层上,设置形成所述接线端子的区域的沟。

根据该结构,可以降低接线端子的表面和形成沟的绝缘膜的表面的阶梯。

15 (3)此外,第1发明的特征在于,在形成所述接线端子的区域的沟中,设置构成所述接线端子的导电膜。

根据该结构,即使用于形成导电膜的图形偏移,由于可以利用以沟作为边缘,所以可以在接线端子的区域中可靠地形成导电膜。

(4)此外,第1发明的特征在于,在构成所述基板的层的至少一层的所述布线的至少所述接线端子侧的区域下,设置与形成所述接线端子区域的沟连接的布线沟。

根据该结构,可以降低延伸至接线端子的布线的阶梯。

(5)此外,第1发明的特征在于,将所述基板的外表面上形成的绝缘膜形成在形成所述接线端子区域的沟的区域和形成所述布线的沟的区域上。

根据该结构,可以降低接线端子的表面和绝缘膜的表面的阶梯,并且降低延伸至接线端子的布线的阶梯。

(6)此外,第1发明的特征在于,所述接线端子由多层的导电膜来形成。

30 根据该结构,使下层侧的导电膜与像素区域或周边电路的导电层共用,并且可以用与连接接线端子的连接体一致的材料来形成上层侧的导电膜。

(7) 此外, 第 1 发明的特征在于, 在所述形成所述接线端子区域的沟的区域下形成至少一层高度调整膜。

根据该结构, 仅调整沟的深度和接线端子的厚度, 就可以使在沟的区域上形成的绝缘膜的表面均匀。

5 (8) 此外, 第 1 发明的特征在于, 所述沟的深度与所述接线端子的厚度和所述高度调整膜的厚度之和大致相同。

根据该结构, 由于沟上形成的接线端子的导电膜的表面与基准面大致相同, 所以可以大体完全除去接线端子周围的阶梯。

10 (9) 此外, 第 1 发明的特征在于, 所述高度调整膜是所述显示区域上形成的布线和构成所述周边电路的布线中的至少一个布线。

根据该结构, 由于在显示区域上形成的布线和形成周边电路的布线共用, 所以对工艺更有利。

(10) 具有所述沟的深度与所述布线的厚度大致相同的特征。

根据该结构, 不使用高度调整膜也可以。

15 (11) 本申请第 2 发明的电光装置的特征在于, 包括: 多个层组成的基板; 在所述基板上设置的输入图像信号的接线端子; 在构成所述基板的层的至少一层上, 在形成到达所述接线端子的至少一部分上设置的沟; 在与所述沟对应的区域上形成的所述布线; 以及所述布线上形成的绝缘膜。

20 根据该结构, 沟上形成的布线的表面与接线端子(焊盘)的表面相比仅低沟的深度量。因此, 由于将布线上形成的绝缘膜和接线端子表面的阶梯降低, 所以可抑制研磨处理中的抛光布的纤维屑的混乱。

再有, 可以将沟直接形成在基板上, 也可以在该基板上形成层积物。此外, 作为布线, 期望是铝等的低电阻金属膜。此时, 将布线本身作为焊盘使用也可以, 根据安装时的情况, 也可以将布线上层积的 ITO (铟锡氧化物) 等不同种的导电膜作为焊盘来使用。

25 (12) 在第 2 发明中, 期望所述接线端子由构成所述布线的电镀膜来形成, 所述布线上形成的所述绝缘膜露出所述接线端子。

30 (13) 此外, 在第 2 发明中, 期望所述接线端子的表面和所述绝缘膜的表面为大致相同的高度。

根据该结构, 大体上可完全除去延伸至布线的阶梯。

(14) 此外, 第 2 发明的特征在于, 将所述沟形成在包围所述接

线端子的区域中，在包围所述接线端子的区域上形成所述布线。

根据该结构，可以通过沟来形成接线端子的区域。此外，使相邻的接线端子短路也可以。

(15) 此外，第 2 发明的特征在于，所述布线上形成的所述绝缘膜的表面和与形成所述布线的区域邻接的所述绝缘膜的表面为大致相同的高度。

根据该结构，大体上可完全除去布线的阶梯。

(16) 此外，第 2 发明的特征在于，所述布线由所述显示区域上形成的布线来形成。

10 根据该结构，由于布线可以用显示区域上形成的布线来形成，所以不必增加步骤数。

(17) 此外，第 2 发明的特征在于，所述布线由显示区域周围形成的构成周边电路的布线来形成。

15 根据该结构，由于布线由构成周边电路的布线来形成，所以不必增加步骤数。

(18) 此外，第 2 发明的特征在于，所述布线由显示区域上形成的布线和所述显示区域的周围形成的构成周边电路的布线来形成。

根据该结构，由于将延伸至接线端子的布线、显示区域中形成的布线和构成周边电路的布线共用，所以对工艺更有利。

20 (19) 此外，第 2 发明的特征在于，在所述布线的区域下形成至少一层的高度调整膜。

根据该结构，仅调整沟的深度和布线的厚度，就可以使在布线上形成的绝缘膜的表面均匀。

25 (20) 此外，第 2 发明的特征在于，所述沟的深度与所述布线的厚度和所述高度调整膜的厚度之和大致相同。

根据该结构，由于对应于沟形成的布线上表面与基准面大致相同，所以可大体上完全除去延伸至接线端子的布线的阶梯。

(21) 此外，第 2 发明的特征在于，所述高度调整膜是所述显示区域上形成的布线和构成所述周边电路的布线中的至少一个布线。

30 根据该结构，由于将显示区域上形成的布线和构成周边电路的布线共用，所以对工艺更有利。

(22) 此外，第 2 发明的特征在于，所述沟的深度与所述布线的



厚度大致相同。

在第1发明中，不使用高度调整膜也可以。

(23) 本申请的第3发明的电光装置的特征在于，包括：多个层组成的基板；所述基板上形成的显示区域；所述显示区域中配置的布线；所述基板上的所述显示区域的周边上形成的与所述布线电连接的周边电路；所述基板上形成的接线端子；将所述周边电路和所述接线端子电连接的布线；在构成所述基板的层的至少一层上，在形成所述周边电路的部分上设置的沟；以及所述周边电路上形成的绝缘膜。

根据该结构，由于可以使周边电路上均匀，所以可以降低周边电路上10 的阶梯引起的显示不匀。

(24) 本申请第4发明的电光装置的特征在于，包括：多个层组成的基板；所述基板上形成的显示区域；所述显示区域中配置的布线；所述基板上的所述显示区域的周边上形成的与所述布线电连接的周边电路；所述基板上形成的接线端子；将所述周边电路和所述接线端子电连接的布线；在构成所述基板的层的至少一层上，在形成所述周边电路的部分上设置的沟；形成所述接线端子的区域的沟；以及在所述周边电路的沟和形成所述接线端子的区域的沟的区域中形成的构成外15 表面的绝缘膜。

根据该结构，由于可以使周边电路上和接线端子的周围均匀，所以可以降低因周边电路上和接线端子的周围的阶梯引起的显示不匀。20

(25) 本申请第5发明的电光装置的特征在于，包括：多个层组成的基板；所述基板上形成的显示区域；所述显示区域中配置的布线；在所述基板上的所述显示区域的周边上形成的与所述布线电连接的周边电路；所述基板上形成的接线端子；将所述周边电路和所述接线端子电连接的布线；在构成所述基板的层的至少一层上，在形成所述显示区域中配置的布线的部分上设置的沟；在构成所述基板的层的至少25 一层上，在形成所述周边电路的部分上设置的沟；形成所述接线端子的区域的沟；以及在所述周边电路的沟和形成所述接线端子的区域的沟的区域中形成的构成外表面的绝缘膜。

根据该结构，由于可以使显示区域上、周边电路上和接线端子的周围均匀，所以可以降低因显示区域上、周边电路上和接线端子的周围30 的阶梯引起的显示不匀。

(26) 本申请第 6 发明的电光装置的特征在于, 包括: 多个层组成的基板; 所述基板上形成的显示区域; 所述显示区域中配置的数据线; 沿所述显示区域的一边形成的数据线驱动电路; 夹住所述数据线驱动电路并与所述显示区域的一边对置那样形成的接线端子; 将图像信号供给与所述接线端子电连接的所述数据线的信号线; 在构成所述基板的层的至少一层上, 形成接线端子的区域的沟; 以及构成所述基板的外表面, 并使所述接线端子露出的绝缘膜。

根据该结构, 尤其可以使数据线驱动电路和接线端子的周围均匀, 所以可以降低因该区域的阶梯引起的显示不匀。

(27) 此外, 第 6 发明的特征在于, 在构成所述基板的层的至少一层上, 至少在所述数据线驱动电路和所述接线端子之间的区域内形成所述信号线的部分上形成沟。

根据该结构, 可以递减因形成信号线部分产生的阶梯。

(28) 此外, 第 6 发明的特征在于, 在构成所述基板的层的至少一层上, 在形成所述数据线驱动电路的部分上形成沟。

根据该结构, 可以降低因数据线驱动电路的阶梯引起的显示不匀。

(29) 此外, 第 6 发明的特征在于, 在所述显示区域的一边和所述数据线驱动电路之间, 配有采样电路电路, 在所述数据线驱动电路中控制对所述数据线供给的图像信号。

(30) 此外, 第 6 发明的特征在于, 在构成所述基板的层的至少一层上, 形成在形成所述采样电路的部分上设置的沟。

根据该结构, 可以降低因采样电路的阶梯引起的显示不匀。

(31) 此外, 第 6 发明的特征在于, 在所述显示区域上形成取向膜, 所述取向膜的研磨方向从所述接线端子朝向所述显示区域。

根据该结构, 通过使不依赖于像素排列节距产生的数据线驱动电路和接线端子之间的区域均匀, 可以减少比较容易视出的显示不匀。

(32) 本申请的第 7 发明的电子设备的特征在于, 包括: 发射光的光源; 对所述光源的发射光实施与图像信息对应的调制的权利要求 1 至权利要求 31 中任一项所述的电光装置; 以及将所述电光装置调制过的光进行投射的投射部件。

在以这样的电光装置作为投射型使用的情况下, 即使其显示不匀非常小, 但在投射像中, 可视出的程度会被扩大, 但本申请的第 6 发

明的电子设备配有使接线端子和延伸至该接线端子的布线形成区域平坦化的电光装置，所以可以进行抑制阶梯引起的显示不匀的高品质显示。

(33) 本申请的第 8 发明的电光装置的制造方法用于制造电光装置，该电光装置根据经多个层组成的基板上设置的接线端子输入的信号来显示规定的图像，其特征在于，该方法包括：在构成所述基板的层的至少一层上，在要形成延伸至所述接线端子布线的部分上设置沟的步骤；在与所述沟对应的区域上形成所述布线的步骤；以及在所述布线上层积绝缘膜的步骤。

根据该方法，与上述第 1 发明同样，可以降低接线端子的表面和绝缘膜的表面的阶梯，以及延伸至接线端子的布线的阶梯。

(34) 此外，第 8 发明的特征在于，所述接线端子与形成所述布线的步骤同时形成，在层积所述绝缘膜的步骤后，包括将所述绝缘膜覆盖的接线端子露出的步骤。

根据该方法，通过腐蚀等比较简单的步骤就可以降低接线端子附近的阶梯。

(35) 此外，第 8 发明的特征在于，露出所述接线端子的步骤是对所述绝缘膜进行研磨的步骤。

根据该方法，通过使作为接线端子的电镀膜的表面具有停止层功能，可以比较容易地进行大体完全的平坦化。

图 1(a) 表示本发明实施例的电光装置的液晶装置的结构斜视图，图 1(b) 是图 1(a) 的 A-A 线的剖面图。

图 2 表示本发明实施例的液晶装置的电气结构方框图。

图 3 表示本发明实施例的液晶装置的显示区域的等效电路图。

图 4 是说明本发明实施例的液晶装置的工作的定时图。

图 5 表示本发明实施例的液晶装置的显示区域中的像素的详细结构平面图。

图 6 是图 4 的 B-B 线的剖面图。

图 7 表示本发明实施例的液晶装置的周边区域的逆变器电路的详细结构平面图。

图 8 是图 6 的 C-C 线的剖面图。

图 9 表示本发明实施例的液晶装置的接线端子附近形成的沟的结构

构斜视图。

图 10 是图 9 的 D-D 线的剖面图，是表示液晶装置中的接线端子和延伸至该接线端子的布线的结构剖面图。

图 11(a) ~ 图 11(d) 分别表示本发明实施例的液晶装置中的元件基板的制造工序的剖面图。

图 12(a) ~ 图 12(h) 分别表示本发明实施例的液晶装置中的元件基板的制造工序的剖面图。

图 13(a) ~ 图 13(1) 分别表示本发明实施例的液晶装置中的元件基板的制造工序的剖面图。

图 14 表示本发明实施例的液晶装置中的元件基板的研磨方向的平面图。

图 15 表示本发明变形例的接线端子和延伸至该接线端子的布线的结构的剖面图。

图 16 表示本发明变形例的接线端子和延伸至该接线端子的布线的结构的剖面图。

图 17 表示应用本发明实施例的电光装置的电子设备一例的投射器结构平面图。

以下，参照附图来说明本发明的实施例。

〈电光装置的概略结构〉

首先，说明本发明实施例的电光装置。该电光装置通过其电光学的变化来进行规定的显示，作为电光学物质使用液晶。图 1(a) 表示该电光装置内除了外部电路以外的液晶装置 100 的结构斜视图，图 1(b) 是图 1(a) 中的 A-A 线的剖面图。

如这些图所示，液晶装置 100 包括：形成各种元件和像素电极 118 等的元件基板 101；以及通过包括隔板（图中省略）的密封材料 104 将设置对置电极 108 等的对置基板 102 保持一定的间隔，使电极形成面对置粘合，并且在该间隙中封入电光学物质、例如 TN (Twisted Nematic: 扭转向列) 型的液晶 105。

这里，元件基板 101 使用玻璃、石英和硅酮等，对置基板 102 使用玻璃或石英等。在元件基板 101 使用不透明基板的情况下，不作为透过型而作为反射型来使用。此外，密封材料 104 沿对置基板 102 的周边来形成，但为了封入液晶 105 而将一部分开口。因此，在液晶 105

封入或，该开口部分通过密封材料 106 来密封。

接着，在作为元件基板 101 的对置面、密封材料 104 外侧一边的区域 140a 中，形成后述的数据线驱动电路，输出采样信号。而且，在这一边中形成密封材料 104 的附近区域 150a 上形成后述的图像信号线
5 和采样电路等。另一方面，在这一边的外周部分上形成多个接线端子 107，输入来自外部电路（图中省略）的各种信号。

此外，在与这一边相邻的两边的区域 130a 上分别形成后述的扫描线驱动电路，从两侧来驱动扫描线。再有，如果扫描线上供给的扫描信号的延迟没有问题，那么在单侧仅形成一个扫描线驱动电路就可
10 以。

然后，在剩余的一边区域 160a 上形成预充电电路和两个扫描线驱动电路使用的共用布线等。这里，预充电电路是用于降低对数据线采样图像信号时的负载，在进行采样之前的定时中将各数据线预充电到规定的电位的电路，但由于在本申请中没有直接关系，所以在下面省
15 略其说明。

另一方面，如后所述，通过在与元件基板 101 粘合部分中的四角内至少一个地方设置的导通材料，来实现对置基板 102 的对置电极 108 与元件基板 101 上形成的接线端子 107 的电导通。

另外，在对置基板 102 上，在与像素电极 118 对置的区域中设置着色层（彩色滤光器），在着色层以外的区域中，设置防止因漏光造成的对比度下降和用于包围非显示区域的遮光膜。但是，在应用于如后述的投射器那样的色光调制用途的情况下，在对置基板 102 上不必形成着色层。
20

再有，无论在对置基板 102 上是否设置着色层，为了防止因光的照射而造成元件的特性下降，都在元件基板 101 上设置后述的遮光膜。此外，如后面所述，在元件基板 101 和对置基板 102 的背面上，设置研磨处理的取向膜（在图 1 中省略），使得液晶 105 中的分子的长轴方向在两基板间连续地扭转约 90 度，在其各背面侧分别形成对应于取向方向的偏光器（图中省略）。
25

此外，在图 1(b) 中，在对置电极 108、像素电极 118、接线端子 107 上具有厚度，但这是用于表示形成位置的措施，实际上，相对于基板薄到可以忽视的程度。而且，由于接线端子 107 和像素电极 118 被
30

形成在实施后述的平坦化处理的绝缘膜上，所以元件衬底 101 的对置面上，阶梯大都被平坦化。

〈电气结构〉

下面，说明上述液晶装置 100 中元件基板 101 的电气结构。图 2 表示该结构的示意图。

如该图所示，在元件基板 101 上设置用于输入来自外部电路的各种信号的多个接线端子 107。经这些接线端子 107 输入的信号通过布线 171 供给到各部。下面简单地说明这些信号，首先，如图 4 所示，VID1 ~ VID6 是将与点时钟 DCLK 同步供给的一个系统的图像信号 VID 分配到 6 个系统并且在时间轴上延长到 6 倍的信号，通过 6 条图像信号线 122 被供给到采样电路 150。再有，图像信号线 122 是布线 171 中的特别的线。即，布线 171 一般是指从接线端子 107 中抽出的布线，其中，将供给图像信号 VID1 ~ VID6 的布线特别称为图像信号线 122。

第 2，Vss 和 VssX 分别是扫描线驱动电路 130 和数据线驱动电路 140 的电源的低位侧电压（接地电位）。此外，VddY 或 VddX 分别是扫描线驱动电路 130 和数据线驱动电路 140 的电源的高位侧电压。其中，由于电源的低位侧电压 VssY 是后述的存储电容器的接地电位，所以通过电容线 175 被供给到各像素。

第三，LC com 是对置电极 108 上施加的电压信号。因此，被供给电压信号 LC com 的两个电极 109 被分别设置在与粘合对置基板 102 使用的密封材料 104（参照图 1）的角对应的地点。因此，元件基板 101 与对置基板 102 实际粘合后，电极 109 和对置电极 108 通过导通材料来连接，将电压信号 LC com 施加到对置电极 108 上。再有，电压信号 LC com 对于时间轴是一定的，将该电压信号 LC com 作为基准，将图像信号 VID1 ~ VID6 例如在每 1 个水平扫描期间分开为高位侧和低位侧，外部电路进行交流驱动。此外，设置电极 109 的地点在本实施例中为 2 个地方，但设置该电极 109 的理由是通过导通材料来对对置电极 108 施加电压信号 LC com，所以设置电极 109 的地点至少是 1 个就够了。因此，设置电极 109 的地点可以是 1 个，也可以是 3 个以上。

第四，如图 4 所示，DY 是垂直扫描期间最初供给的传送开始脉冲，CLY 是扫描线驱动电路 130 中使用的时钟信号。再有，CLY inv 是将时钟信号 CLY 电平反向的反向时钟信号。



第五, 如图 4 所示, DX 是水平扫描期间最初供给的传送开始脉冲, CLX 是数据线驱动电路 140 中使用的时钟信号。再有, CLX inv 是将时钟信号 CLY 电平反向的反向时钟信号。ENB1、ENB2 是如后述的用于限制数据线驱动电路 140 中的移位寄存器的各输出信号的脉冲宽度的使能信号。

可是, 作为元件基板 101 的显示区域 100a, 将多个扫描线 112 沿行 (X) 方向平行地排列, 此外, 将多个数据线 114 沿列 (Y 方向) 平行地排列, 在它们的各交叉部分上设置对应的像素。

详细地说, 如图 3 所示, 在扫描线 112 和数据线 114 交叉的部分中, 作为用于控制像素的开关元件的 TFT116 的栅极被连接到扫描线 112, TFT116 的源极被连接到数据线 114, 而 TFT116 的漏极被连接到矩形状的透明像素电极 118。

如上述那样, 在液晶装置 100 中, 由于在元件基板 101 和对置基板 102 的电极形成面之间夹持液晶 105, 所以各像素的液晶电容由像素电极 118、对置电极 108、这两个电极间夹持的液晶 105 来构成。这里, 为了便于说明, 假设扫描线 112 的总数为 'm', 数据线 114 的总数为 '6n' (m、n 分别为整数), 则像素对应于扫描线 112 和数据线 114 的各交叉部分排列成 m 行 x 6n 列的矩阵状。

此外, 在矩阵状的像素组成的显示区域 100a 中, 对每个像素另外形成用于防止液晶电容漏泄的存储电容 119。该存储电容 119 的一端连接到像素电极 118 (TFT116 的漏极), 其另一端通过电容线 175 被共用连接。因此, 存储电容 119 与液晶电容并联连接, 所以使液晶电容的保持特性被改善, 可实现高对比度。再有, 在本实施例中, 对电容线 175 施加电源的低位侧电压 VssY, 这里, 由于在时间上施加一定的电压就可以, 所以也可以施加电源的高位侧电压 VddY 或电压 LC com 等。此外, 包括存储电容 119 的像素的详细结构将后述。

再次返回到图 2 来说明, 扫描线驱动电路 130 在每个水平扫描期间 1H 依次将有效电平的扫描信号 G1、G2、...、Gm 在一个垂直有效显示期间内输出到各扫描线 112。由于详细的结构与本发明没有直接关系, 所以省略图示, 但可由移位寄存器和多个逻辑电路构成。其中, 如图 4 所示, 移位寄存器将垂直扫描期间的最初供给的传送开始脉冲 DY 在每次时钟信号 CLY (以及反向时钟信号 CLY inv) 的电平转变时依次

移位, 并输出信号 $G1'$ 、 $G2'$ 、 $G3'$...、 Gm' , 各逻辑电路求信号 $G1'$ 、 $G2'$ 、 $G3'$...、 Gm' 中相邻的信号之间的逻辑积信号, 输出扫描信号 $G1$ 、 $G2$ 、 $G3$ 、...、 Gm 。

此外, 数据线驱动电路 140 在水平扫描期间 $1H$ 内依次输出有效电平的采样信号 $S1$ 、 $S2$ 、...、 Sn 。由于其详细的结构与本发明不直接相关, 所以省略图示, 但可由包括倒相电路的移位寄存器和多个逻辑积电路来构成。其中, 如图 4 所示, 移位寄存器将水平扫描期间的最初供给的传送开始脉冲 DX 在每次时钟信号 CLX (以及反向时钟信号 CLX_{inv}) 的电平转变时依次移位, 并输出信号 $S1'$ 、 $S2'$ 、 $S3'$...、 Sn' , 各逻辑电路使用使能信号 $ENB1$ 和 $ENB2$ 在期间 $SMPa$ 变窄信号 $S1'$ 、 $S2'$ 、 $S3'$...、 Sn' 的脉冲宽度, 使得相邻的信号之间彼此不重叠, 并输出采样信号 $S1$ 、 $S2$ 、 $S3$ 、...、 Sn 。

接着, 各个采样电路 150 由在每个数据线 114 中设置的采样开关 151 来构成。另一方面, 数据线 114 以每块 6 个被分块, 图 2 中从左开始数的属于第 i (i 是 1、2、...、 n) 号块的数据线 114 的 6 条线中, 最左位置的数据线 114 的一端上连接的采样开关 151 在采样信号 Si 为有效期间对通过图像信号线 122 供给的图像信号 $VIDI$ 进行采样, 并供给对应的数据线 114。

以下同样, 在属于第号块的数据线 114 的 6 条线中, 位于第 3、4、5、6 号的数据线 114 的一端上连接的各个采样开关 151 在采样信号 Si 为有效期间对通过图像信号线 122 供给的图像信号 $VID3$ 、 $VID4$ 、 $VID5$ 、 $VID6$ 进行采样, 并供给对应的数据线 114。即, 如果采样信号 Si 变为有效电平, 则属于第号块的 6 条数据线 114 的各条线同时采样各自图像信号 $VID1 \sim VID6$ 。

这些扫描线驱动电路 130、数据线驱动电路 140、采样电路 150 等是用于制造后判别有无缺陷的检查电路, 并且形成在显示区域 $100a$ 的周边, 所以被称为周边电路。但是, 由于检查电路与本申请没有直接关系, 所以省略其说明。

(电光装置的工作)

下面, 简单地说明上述结构的电光装置的工作。

首先, 将垂直扫描期间的最初传送开始脉冲 DY 供给到扫描线驱动电路 130。该传送开始脉冲 DY 通过时钟信号 CLY (以及其反向时钟信

号 CLYinv) 被依次移位的结果如图 4 所示, 作为在每一个水平扫描期间依次变为有效电平的扫描信号 G_1 、 G_2 、 \dots 、 G_m 输出到对应的扫描线 112。

5 另一方面, 如图 4 所示, 一个系统的图像信号 VID 通过外部电路被分配为 6 个系统的图像信号 VID1 ~ VID6, 并且对时间轴延长至 6 倍。此外, 如同一图所示, 对数据线驱动电路 140 供给水平扫描期间的最初传送开始脉冲 DX。该传送开始脉冲 DX 在数据线驱动电路 140 中在时钟信号 CLX (以及其反向时钟信号 CLXinv) 的电平每次转换时被依次移位, 变为信号 S_1 、 S_2 、 \dots 、 S_n 。然后, 该信号 S_1 、 S_2 、 \dots 、 S_n 10 被限制在使能信号 ENB1、ENB2 的有效电平期间 SMPa, 这如图 4 所示, 作为采样信号 S_1 、 S_2 、 \dots 、 S_n 被依次输出。

其中, 在扫描信号 G_1 为有效期间, 即在第 1 号的水平扫描期间, 采样信号 S_1 为有效电平后, 从左起属于第 1 号块的 6 条数据线 114 对各自图像信号 VID1 ~ VID6 进行采样。然后, 这些图像信号 VID1 ~ VID6 15 通过图 2 或图 3 中从上数与第 1 条扫描线 112 和对应的 6 条数据线 114 交叉的像素的 TFT116 被分别写入。然后, 采样信号 S_2 变为有效电平后, 属于第 2 号块的 6 条数据线 114 对各自图像信号 VID1 ~ VID6 再次进行采样, 这些图像信号 VID1 ~ VID6 通过与第 1 条扫描线 112 和对应的 6 条数据线 114 交叉的像素的 TFT116 被分别写入。

20 以下同样地, 采样信号 S_3 、 S_4 、 \dots 、 S_n 依次变为有效电平后, 属于第 3 号、第 4 号、 \dots 、第 n 号块的 6 条数据线 114 对各自图像信号 VID1 ~ VID6 进行采样, 这些图像信号 VID1 ~ VID6 通过与第 1 条扫描线 112 和对应的 6 条数据线 114 交叉的像素的 TFT116 被分别写入。由此, 完全对第 1 行的所有像素的写入。

25 接着, 在扫描信号 G_2 为有效期间, 即在第 2 号的水平扫描期间中, 同样地, 对第 2 行的所有像素进行写入。以下同样地, 扫描信号 G_3 、 G_4 、 \dots 、 G_m 有效, 对第 3 行、第 4 行、第 m 行的像素进行写入。由此, 完成对第 1 行 ~ 第 m 行的所有像素的写入。

30 在这样的驱动中, 与按每 1 条来驱动数据线 114 的方式比较, 通过各采样开关 151 对图像信号进行采样的时间变为 6 倍, 所以充分确保各像素中的充放电时间。因此, 可以实现高对比度。

(像素的详细结构)

下面，参照图 5 和图 6 来说明上述像素的细节。图 5 表示该详细结构的平面图，图 6 是图 5 的 B-B' 线的剖面图。再有，在图 5 中，为了说明理解，对最上面导电层的像素电极 118 通过虚线仅示出其轮廓。

首先，如这些图所示，将数据线 114、扫描线 112、电容线 175、TFT116 等主要要素形成在作为元件基板 101 的基本材料的基板 10 中设置的沟 12 内。换句话说，在形成数据线 114、扫描线 112、电容线 175、TFT116 等的所有区域 12a 中形成该沟 12。

其次，在该沟 12 中设置遮光膜 22，防止光从基板 10 的下侧侵入到 TFT116。而且，在该遮光膜 22 的上层通过衬底绝缘膜 40 来设置多晶硅组成半导体层 20，其表面用通过热氧化产生的绝缘膜 32 来覆盖。

可是，数据线 114 在 Y 方向上延伸，而扫描线 112 在 X 方向上延伸。此外，电容线 175 与扫描线 112 接近并在平行于 X 方向上延伸设置，但在与数据线 114 交叉的部分中，突出并形成在前段侧（图 5 中上侧），以便与数据线 114 重叠。在这样的布线下，半导体层 20 从数据线 114 和电容线 175 交叉的地点向电容线 175 的延长方向（图 5 中右方向）、数据线 114 的下层中的电容线 175 的突出方向（上方向）、以及其反方向（下方向）共计 3 个方向上延伸，并被形成略 T 字状。

然后，在半导体层 30 内与扫描线 112 重叠的部分成为沟道区 30a。换句话说，在扫描线 112 内与半导体层 30 交叉的部分作为栅电极 116G 来使用。而且，在半导体层 30 中，在沟道区 30a 的源极侧设置低浓度源极区 30b、高浓度源极区 116S，而在沟道区 30a 的漏极侧，设置低浓度漏极区 30c、高浓度漏极区 116D，成为所谓的 LDD（Lightly Doped Drain：轻掺杂漏）结构。

这里，高浓度源极区 116S 通过对绝缘膜 32 和第 1 层间绝缘膜 41 进行开孔的接触孔 51 被连接到数据线 114，而高浓度漏极区 116D 通过对绝缘膜 32、第 1 层间绝缘膜 41 和第 2 层间绝缘膜 42 进行开孔的接触孔 53 被连接到像素电极 118。

此外，半导体层 30 中的高浓度漏极区 116D 的一部分具有作为存储电容 119 的一个电极的功能。即，存储电容 119 有这样的结构：在半导体层 30 内，以电容线 175 下层位置的高浓度漏极区 30f 为一个电极，以电容线 175 本身为另一个电极，并插入半导体层 30 表面上形成的绝缘膜 32 中。再有，存储电容 119 除了通过高浓度漏极区 30f 和电

容线 175 夹入在绝缘膜 32 中来形成电容之外, 同时还有通过高浓度区 30f 和遮光膜 22 夹入在衬底绝缘膜 40 中形成电容的情况。

然后, 在最上层 (即, 与液晶 105 接触的面) 的整个面上, 形成聚胺等有机膜组成的取向膜 61。在与对置基板 102 粘合之前, 对该取向膜 61 实施上述研磨处理。

这样, 在扫描线 112、数据线 114、电容线 175 被隐藏在形成区域的下侧的状态下形成半导体层 30。另一方面, 半导体层 30 的下层防止从基板 10 的下侧侵入光。因此, TFT116 具有使光难以从基板 10 的上侧和下侧双方侵入的结构, 所以可防止因光照射引起的 TFT116 的特性变化。

而且, 在显示区域 100a 中, 除了像素电极 118 以外, 所有的布线 (导电膜) 和半导体层等要素被形成在沟 12 中, 所以可防止因它们造成隆起。因此, 在显示区域 100a 中, 用于对像素电极 118 供给图像信号而形成的扫描线 112 和数据线 114 等区域、和未形成它们的开口区域的阶梯被减小。

(周边电路的详细结构)

下面, 以数据线驱动电路 140 的移位寄存器中包括的倒相器为例来说明周边电路的细节。图 7 表示该倒相器的结构平面图, 而图 8 是图 7 中的 C-C 线的剖面图。

首先, 在形成周边电路的周边电路区域中不存在像素电极 118, 所以与图 5 或图 6 所示的像素部不同, 未设置对第 2 层间绝缘膜 42 开孔的接触孔 53。此外, 将遮光膜 22 形成在周边电路区域的一部分上也可以。此外, 除了布线的用途不同, 基本上与像素部为相同的结构。

即, 图 7 和图 8 所示的倒相器在基板 10 上设置的沟 12 内形成布线和半导体层等主要要素。该倒相器具有互补性结构, 将与开关像素电极 118 的 TFT116 相同的 LDD 结构的 P 型沟道型 TFT 及 N 沟道型 TFT 直接串联在施加电源的高位侧电压 V_{ddX} 的布线 1404 和施加电源的低位侧电压 V_{ssX} 的布线 1414 之间。详细地说, 布线 1404 通过接触孔 1451 被连接到 P 沟道型 TFT 的高浓度漏极区, 而布线 1414 通过接触孔 1454 被连接到 N 沟道型 TFT 的高浓度源极区。而且, 供给倒相器的输入信号的布线 1412 分支为两个方向, 作为 P 沟道型 TFT 和 N 沟道型 TFT 共用的栅极。P 沟道型 TFT 的高浓度漏极区通过接触孔 1453 分别被连接

到供给倒相器输出信号的布线 1412。

这些布线中，栅电极的布线 1412 是对与显示区域中的扫描线 112 相同导电层进行构图的布线，此外，布线 1404、1414 和 1424 是对与像素部中的数据线 114 相同导电层进行构图的布线。即，在周边电路区域中，使用与显示区域中的扫描线 112 同一导电层来形成第 1 层的布线 1412，使用与数据线 114 相同的导电层来形成第 2 层的布线 1404、1414 和 1424。

这里，以数据线驱动电路 140 中的倒相器为例进行了说明，但数据线驱动电路 140 中的其它元件、例如时钟倒相器、构成逻辑积电路的 NAND 门等，以及扫描线驱动电路 130 中的各种元件与这里说明的倒相器一样可形成在沟 12 中。因此，即使在形成周边电路的区域中，与显示区域同样，可降低因布线和有无元件等不同造成的阶梯。

(接线端子的详细结构)

下面，参照图 10 来说明接线端子 107 的详细结构。图 10 是图 9 的 D-D' 线的剖面图，表示接线端子 107 和布线 171 的结构剖面图。

如图 10 所示，将接线端子 107 和布线 171 对应形成在基板 10 上设置的沟 12 中。这里，如图 9 所示，在要形成接线端子 107 的周缘（轮廓）部分和要形成延伸至该接线端子的布线 171 的部分对应的基板 10 的表面上形成沟 12。

如图 10 所示，在沟 12 和轮廓部分包围的区域中，形成由显示区域和周边电路形成区域的遮光膜 22 相同层组成的导电膜 22b。在该导电膜 22b 的上层形成衬底绝缘膜 40，并覆盖整个基板，但残留与基板 10 上形成的沟 12 对应的凹凸部。

接着，在衬底绝缘膜 40 中沟 12 对应的凹部和由其轮廓部包围的区域对应的凸部中，形成与显示区域中的扫描线 112 和周边电路区域中的第 1 层布线 1412 同一层的导电膜 112b。在该导电膜 112b 的上层中形成第 1 层间绝缘膜 41，覆盖整个基板，但残留对应于沟 12 的凹凸部。

而且，在沟 12 对应的凹部和其轮廓部分包围的区域对应的凸部上，形成与显示区域的数据线 114 和周边电路区域的第 2 层布线 1404、1414、1424 等同一层的导电膜 114b。然后，在该导电膜 114b 的上层中形成遍及整个基板的第 2 层间绝缘膜 42，但在沟 12 的轮廓部分包围

的区域所对应的凸部中设置开孔部 42a。即，导电膜 114b 在对应于沟 12 的轮廓部分包围的区域的凸部中露出，将它用作接线端子 107 的焊盘，而延伸至该凸部的导电膜 114b 被用作布线 171。在这样的结构中，在开孔部 42a 中露出的导电膜 114b 的表面比其它部分隆起，所以可降低与第 2 层间绝缘膜 42 的表面的阶梯。

此外，形成从基板 10 的基准面 4 至沟 12 的深度 d ，使得大致等于导电膜 22b 的厚度 t_1 、导电膜 112b 的厚度 t_2 和导电膜 114b 的厚度 t_3 之和。因此，沟 12 中形成的导电膜 114b 的表面 P、和未形成导电膜 22b、112b、114b 部分中的第 1 层间绝缘膜 41 的表面 Q 大致相等，所以在它们的上层中形成第 2 层间绝缘膜 42 后，形成布线 171 的部分和未形成布线的部分变得大体平坦。

但是，沟 12 的轮廓部分包围的区域所对应的形成凸部的导电膜 22b、112b 可以说是电气不需要的部分，但设置这样的导电膜 22b、112b 的理由如下。即，在本实施例中，沟 12 除了形成在端子区域之外，还形成在显示区域和周边电路区域中，但从简化步骤的观点来说，期望这些沟 12 在同一步骤中集中形成。这里，在显示区域和周边电路中，考虑遮光膜、第 1 层和第 2 层的布线中的膜厚，来决定沟 12 的深度，以便第 2 层间绝缘膜 42 的表面尽可能平坦。另一方面，在接线端子 107 和布线 171 中，仅有最上层的导电层 114b 较好，但在考虑遮光膜、第 1 层和第 2 层布线中的膜厚来设定深度 d 的沟 12 中，在仅设置导电膜 114b 时，存在沟 12 的深度过大，会产生阶梯的情况。因此，在端子区域中，为了防止这样的阶梯，将显示区域和周边电路区域中设置的遮光膜、和第 1 层的布线作为高度调整虚拟膜来使用。再有，这样的虚拟膜用于高度调整，所以不限于导电膜，也可以另外形成并使用绝缘体。

此外，与遮光膜 22 同一膜的导电膜 22b 有比较薄的情况。这种情况下，由于可以忽略遮光膜 22 和有无导电膜 22b 的不同所产生的阶梯，所以在端子区域中不设置导电膜 22b 也可以。这种情况下，沟 12 的深度可大致等于导电膜 112b 的厚度 t_2 和导电膜 114 的厚度 t_3 之和。而且，也可以考虑半导体层 30 的膜厚来形成沟 12，这种情况下，作为高度调整的虚拟膜，也可以使用构成半导体层 30 的多晶硅层。

〈制造工艺〉

下面,以元件基板 101 为中心来说明实施例的电光装置的制造工艺。

首先,如图 11(a)所示,例如,在石英基板、玻璃基板、硅基板等的基板 10 上,通过光刻和腐蚀等来形成沟 12。如上所述,该沟 12 的深度 d 按大致等于遮光膜、第 1 层和第 2 层的膜厚之和来形成。

接着,如图 11(b)所示,在形成了沟 12 的基板 10 上,形成遮光膜 22、导电膜 22b。具体地说,在形成了沟 12 的基板 10 的整个面上,通过溅射等按 100~300nm 左右的厚度形成不透明的高熔点金属、具体来说为 Ti(钛)、Cr(铬)、W(钨)、Ta(钽)、Mo(钼)、Pb(铅)等金属单体,或至少包含它们中的一种的合金或金属硅化物后,通过光刻和腐蚀将该高熔点金属构图为上述的形状,并形成遮光膜 22、导电膜 22b。

接着,如图 11(c)所示,在遮光膜 22、导电膜 22b、基板 10 的表面上形成衬底绝缘膜 40。详细地说,例如通过常压或减压 CVD (Chemical Vapor Deposition: 化学气相沉积)法等由 NSG(非掺杂硅酸盐玻璃)、PSG(磷硅酸盐玻璃)、BSG(硼硅酸盐玻璃)、BPSG(硼磷硅酸盐玻璃)等高绝缘性玻璃、或氧化硅膜、氮化硅膜等以约 50~150nm 的厚度(更好以约 600~800nm 的厚度)来形成衬底绝缘膜 40。

接着,在衬底绝缘膜 40 的整个上表面上,例如通过减压 CVD 法等按约 100nm 的厚度来形成非晶硅层,通过热处理等来固相生长而形成多晶硅层。此时,在形成 N 沟道型的 TFT 的情况下,仅通过离子注入来掺杂 Sb(锑)、As(砷)、P(磷)等 V 系元素的杂质,而在形成 P 沟道型 TFT 的情况下,同样仅通过离子注入来掺杂 Al(铝)、B(硼)、Ga(镓)等 III 系元素的杂质。然后,如图 11(d)所示,通过光刻和腐蚀等对多晶硅层进行构图,将显示区域中的 TFT116 和周边电路区域中的半导体层 30 形成为岛状。再有,在半导体层 30 内,对于形成电容线 175 的区域 30f 以高浓度掺杂磷等杂质,预先实现低电阻化也可以。

而且,如图 12(e)所示,对半导体层 30 的表面进行热氧化处理,将绝缘膜 32 形成在该半导体层 30 的表面上。通过该步骤,半导体层 30 最终达到约 30~150nm 的厚度,更好为约 35~45nm 的厚度,而绝缘膜

32 达到约 60~150nm 的厚度, 更好为约 30nm 的厚度。

接着, 在绝缘膜 32 和衬底绝缘膜 40 的上面, 通过减压 CVD 法等来堆积多晶硅层。然后, 如图 12(f) 所示, 通过光刻和腐蚀等对该多晶硅层进行构图, 分别形成兼用作在显示区域的 TFT116 的栅电极的扫描线 112、形成存储电容 119 中的另一电极的电容线 175, 此外, 形成作为周边电路区域的包括栅电极的第 1 层布线 1412, 而且形成作为端子区域的导电膜 112b。再有, 就该导电膜来说, 不是多晶硅, 而也可以由 Al 等金属膜或金属硅化物膜来形成, 也可以将这些金属膜或金属硅化物膜和多晶硅以多层来形成。

接着, 如图 12(g) 所示, 在半导体层 30 中掺杂适当的杂质。详细地说, 在显示区域中的 TFT116 为 N 沟道型的情况下, 在源·漏区域内, 对于相邻沟道区 30 的区域, 以作为扫描线 112 一部分的栅电极为扩散掩模, 按低浓度来掺杂 P 等 V 族元素的杂质。同时, 在周边电路区域的 N 沟道型 TFT 中, 同样以作为布线 1412 的一部分的栅电极为掩模, 按低浓度来掺杂杂质。接着, 形成比栅电极宽度宽的抗蚀剂, 以它为掩模, 按高浓度同样来掺杂 P 等的 V 族元素的杂质。由此, N 沟道型 TFT 具有 LDD 结构, 在沟道区 30a 的源极侧设置低浓度源极区 30b、高浓度源极区 116S, 而在沟道区 30a 的漏极侧设置低浓度漏极区 30c、高浓度漏极区 116D。接着, 在用抗蚀剂对这些 N 沟道型 TFT 的半导体层 30 进行掩模后, 对于周边电路区域的 P 沟道型 TFT 来说, 以布线 1412 为掩模, 同样对沟道区相邻的区域掺杂例如 B(硼) 等 III 族元素的杂质, 来形成低浓度区域, 接着, 以比布线 1412 宽度宽的抗蚀剂为掩模, 同样掺杂 B 等 III 族元素的杂质, 并形成高浓度区域。

也可以不将这样的各沟道型 TFT 形成为 LDD 结构, 也可以形成偏置结构, 此外, 也可以形成简单的自对准型(自匹配型)的 TFT。此外, 在周边电路的互补型 TFT 中, 可以将 N 沟道型形成为 LDD 结构, 而且, 可以将像素部中的 TFT116 形成为互补型。

接着, 如图 12(h) 所示, 例如通过 CVD 法等以约 500~1500nm 的厚度来堆积第 1 层间绝缘膜 41, 以便覆盖栅电极和衬底绝缘膜 40 等。作为第 1 层间绝缘膜 41 的材质, 与衬底绝缘膜 40 一样, 可列举出 NSG、PSG、BSG、BPSG 等硅酸盐玻璃膜、氮化硅膜、氧化硅膜等。

接着, 如图 13(i) 所示, 分别形成作为显示区域的接触孔 51。

作为周边电路区域的接触孔 1451、1452、1453 和 1454。详细地说，对于第 1 层间绝缘膜 41 和绝缘膜 32，在与 TFT116 的源极区域对应的位置上通过干式腐蚀等来形成接触孔 51，并且在与 P 沟道型和 N 沟道型 TFT 的高浓度漏极区及高浓度源极区对应的位置上形成接触孔 1451、1452、1453 和 1454。此时，在周边电路区域中，在实现第 1 层布线和第 2 层布线的导通的情况下，对应于该导通部分同样地形成接触孔（图中省略）。

接着，在第 1 层间绝缘膜 41 上，通过溅射等以约 100~500nm 的厚度来堆积铝等低电阻金属或金属硅化物等组成的导电膜。然后，如图 13(j) 所示，通过光刻和腐蚀等对该导电膜进行构图，形成兼用作显示区域的 TFT116 的源电极的数据线 114，形成包括作为周边电路区域的源·漏电极的第 2 层的布线 1404、1414、1412，此外，形成作为端子区域的导电膜 114b。

接着，如图 13(k) 所示，例如通过 CVD 法等以 500~1500nm 的厚度来堆积第 2 层间绝缘膜 42，以便覆盖第 1 层的布线和第 1 层间绝缘膜 41 等。作为第 2 层间绝缘膜 42 的材质，与衬底绝缘膜 40 和第 1 层间绝缘膜 41 一样，可列举出 NSG、PSG、BSG、BPSG 等硅酸盐玻璃膜、氮化硅膜、氧化硅膜等。

接着，如图 13(l) 所示，在显示区域的 TFT116 的漏极区对应的位置上，通过干式腐蚀等来形成对第 1 层间绝缘膜 41 和绝缘膜 32 进行开孔的接触孔 53。另一方面，在端子区域的第 2 层间绝缘膜 42 内，除去位于用沟 12 的轮廓部分包围的凸部的部分 47，设置开孔部 42a。

作为设置开孔部 42a 的方法，大致有两种：在第 2 层间绝缘膜 42 内，通过腐蚀等有选择地除去对应于开孔部 42a 的部分的第一方法，以及对第 2 层间绝缘膜 42 实施 CMP（化学机械研磨）处理，直至露出与沟 12 的轮廓部分包围的区域对应的凸部的导电膜 114b 的第二方法。其中，从作为接线端子 107 的部分和其它部分大体平坦的观点来说，后者的第 2 方法有利。但是，在前者的第一方法中，在第 2 层间绝缘膜 42 内，通过与形成接触孔 53 相同的方法就可以有选择地除去对应于开孔部 42 的部分，所以从简化步骤的观点来说，第一方法有利。

还有，对于以后的步骤省略图示，但在第 2 层间绝缘膜 42 的表面上，在通过溅射等以约 50~200nm 的厚度来堆积 ITO 等透明导电性薄

膜后, 通过光刻和腐蚀等来构图为规定的形状 (参照图 5), 形成像素电极 118. 然后, 将聚胺等有机溶液涂敷、烧制在基板 10 的整个背面上. 由此, 形成取向膜 61. 再有, 对于该取向膜 61, 在图 14 所示的发明上实施研磨处理.

5 然后, 在将这样形成的元件基板 101 通过密封材料 104 粘合在与其旋转约 90 度的方向上进行过研磨处理的对置基板 102 上后, 封入、密封并划分 (分割) 液晶 105, 成为图 1 (a) 所示的电光装置.

在元件基板 101 中, 在整个面上形成取向膜 61, 但在液晶密封后, 通过等离子体处理等, 除去在从对置基板 102 伸出部分中形成的取向膜. 因此, 端子区域和周边电路区域的最上层不是取向膜 61, 而是导电膜 114b 或第 2 层间绝缘膜 42 (参见图 8 或图 10).

根据这样的制造方法, 将沟 12 除了设置在端子区域之外还设置在显示区域和周边电路区域中, 由于在这里形成布线和元件, 所以不仅端子区域, 而且在显示区域和周边电路区域中, 都使基板表面的阶梯降低. 此时, 在作为接线端子 107 的焊盘的导电膜 114b 的下层设置的高度调整导电膜 22b 使用与显示区域和周边电路区域中的遮光膜 22 相同的层来形成, 此外, 高度调整导电膜 112b 同样用显示区域中的扫描线 112、周边电路区域中的布线 1412 相同的层构成的导电膜来形成, 而且, 导电膜 114b 也用显示区域中的扫描线 114、周边电路区域中的布线 1404、1414、1424 相同的层构成的导电膜来形成. 而且, 沟 12 除了端子区域之外在显示区域和周边电路区域中被集中设置. 因此, 由于几乎没有要追加的工艺, 所以可防止制造工艺的复杂化.

〈变形例〉

在上述的实施例中, 作为接线端子 107 的焊盘由与数据线 114 和第 2 层的布线 1404 同一层的导电膜 114b 来形成, 除此以外, 也可以层积另外的导电膜. 例如, 如图 15 所示, 在对像素电极 118 进行构图时, 在由沟 12 的轮廓对应部分包围的凸部的导电膜 114b 上, 也可以残留 ITO 等的导电膜 118b. 如上所述, 导电膜 114b 由铝等构成, 但在铝容易被侵入问题上, 还存在与 FPC (Flexible Printed Circuit: 柔性印刷电路) 基板的接合中使用的导电性微胶囊的粘合性差的问题. 因此, 通过导电膜 118b 覆盖露出的导电膜 114b 的表面来消除这样的问题.

〈应用例〉

此外，在实施例 5 中，除了端子区域之外，即使在显示区域和周边电路区域中也形成沟 12，但如上所述，显示区域和周边电路区域中的阶梯按与像素的排列节距相同的倍数或其整数倍产生，所以认为该阶梯引起的显示不匀并不明显。因此，可考虑在显示区域和周边电路区域中不设置沟 12，而仅在端子区域中形成沟 12。

追根到底来说，如图 14 所示，在数据线 114 的延长方向上进行研磨处理的情况下，研磨显示区域 100a 的抛光布不依赖于像素的排列节距的混乱区域是属于形成接线端子 107 和布线 171 的区域、以及显示区域 100a 中施加的抛光布进行扫描的区域 190a 双方的区域。即，用图 2 来说是区域 B。因此，如果是仅抑制不依赖于像素的排列节距产生的、比较容易看出的显示不匀的目的，可考虑仅在该区域 B 中形成沟 12。

在图 14 所示的方向上进行研磨处理的情况下，在区域 192a 中，即使例如因阶梯引起抛光布混乱，由于其纤维梢未施加到显示区域 100a，所以可考虑不必在该区域 192 中（例如，在扫描线驱动电路 130 中）形成沟 12。

在仅在端子区域中形成沟 12 的情况下，由于可以不考虑与遮光膜 22 相同膜组成的导电膜 22b 和与扫描线 112 相同膜组成的导电膜 112b 的厚度，所以如图 16 所示，在导电膜 114b 的下层不设置导电膜，而按大致等于导电膜 114b 的厚度 t_3 来设定沟 12 的深度 d 就可以。

〈其它〉

在上述实施例 25 中，6 条数据线 114 集中为 1 块，对于属于 1 块的 6 条数据线 114 同时采样并供给 6 系统中变换的图像信号 VID1 ~ VID6，但变换数和同时施加的数据线（即，构成 1 块的数据线数）不限于‘6’。例如，如果采样电路 150 中的采样开关 151 的响应速度很高，则不将图像信号变换为并行而串行传送到 1 条图像信号线，使得对每条数据线 114 以点顺序来采样。此外，假设变换和同时施加的数据线的数为‘3’、‘12’、‘24’等，可以对 3 条、12 条、24 条等数据线同时供给进行了 3 系统变换、12 系统变换、24 系统变换等的图像信号。再有，根据彩色的图像信号由 3 个基色信号组成的关系，所以在简化控制和电路方面，作为变换数和同时施加的数据线数最好是 3 的倍数。但是，

在后述的投射器那样的单光调制用途的情况下，不需要是 3 的倍数。而且，也可以不同时控制采样开关，而依次移位并供给并行变换后的图像信号 VID1 ~ VID6，依次地控制采样开关 151。

此外，在上述实施例中，具有从上到下的方向对扫描线 112 进行扫描，并从左到右的方向来选择块的结构，但可以是按相反方向来选择

的结构，也可以是根据用途来选择某个方向的结构。

而且，在上述实施例中，在元件基板 101 上形成平面型的 TFT116 等，但本发明不限于此。例如，也可以用底栅型来构成 TFT116。此外，用半导体基板来构成元件基板 101，并且这里形成互补型晶体管来取代 TFT116 也可以。而且，应用 SOI (Silicon On Insulator: 硅-绝缘体) 技术，在蓝宝石、石英、玻璃等绝缘性基板上形成单晶硅膜，在其上制作各种元件作为元件基板 101 也可以。但是，在元件基板 101 没有透明性的情况下，用铝来形成像素电极 118，并形成各自用途反射层，必须将液晶装置 100 用作反射型。

15 (投射器)

下面，说明应用上述电光装置的电子设备。实施例的电光装置可应用于各种电子设备，例如个人计算机、液晶电视、取景器型·监视器直视型的视频录象机、汽车导航装置、寻呼机、电子笔记本、计算机、文字处理器、工作站、电视电话、POS 终端、数字照相机、携带电

20 话、配有触摸屏的设备等。

这里，通过本发明可消除显示不匀，即沿研磨方向的筋状的显示不匀在直视型中没有比较的问题，但在投射显示图像的投射器中被扩大到不能忽视的程度。

因此，作为电子设备的一例，列举说明这样的投射器。这里，投射器将上述的液晶装置 100 作为光阀来使用，图 17 表示该结构的平面图。如图所示，在投射器 2100 内部，设有卤灯等白色光源组成的灯组件 2102。从该灯组件 2102 射出的投射光通过在内部配置的 3 片反射镜 2106 和 2 片分色镜 2108 被分离成 RGB 的三基色，分别导入各基色对应的光阀 100R、100G 和 100B。这里，光阀 100R、100G 和 100B 的结构与上述实施例的液晶装置 100 相同，用从输入图像信号的处理电路（这里省略图示）供给的 R、G、B 的基色信号来分别驱动。此外，B 色的光与其它的 R 色或 G 色比较，由于光路长，所以为了防止其损失，通过

入射透镜 2122、中继透镜 2123 和射出透镜 2124 组成的中继透镜系统 2121 来导入。

而且，由光阀 100R、100G、100B 分别调制的光从 3 个方向入射到二向色棱镜 2112。然后，在该二向色棱镜 2112 中，R 色和 B 色的光按 5 90 度折射，而 G 色光直行。因此，在合成各色的图像后，通过投射透镜 2114 将彩色图像投射在屏幕 2120 上。

再有，在光阀 100R、100G 和 100B 中，通过分色镜 2108 来入射与 R、G、B 各基色对应的光，所以不必设置上述彩色滤色器。此外，光阀 100R、100B 的透过像在通过二向色棱镜 2112 反射后被投射，而光阀 100G 10 的透过像被原封不动地投射，所以具有将光阀 100R、100B 的显示像相对于光阀 100G 的显示像左右反转的结构。

本发明不限于上述实施例，在本发明的主要精神或不违反本发明思想的范围内可适当设计变更，伴随着这种变更的情况被包括在本发明的技术范围中。

说明书附图

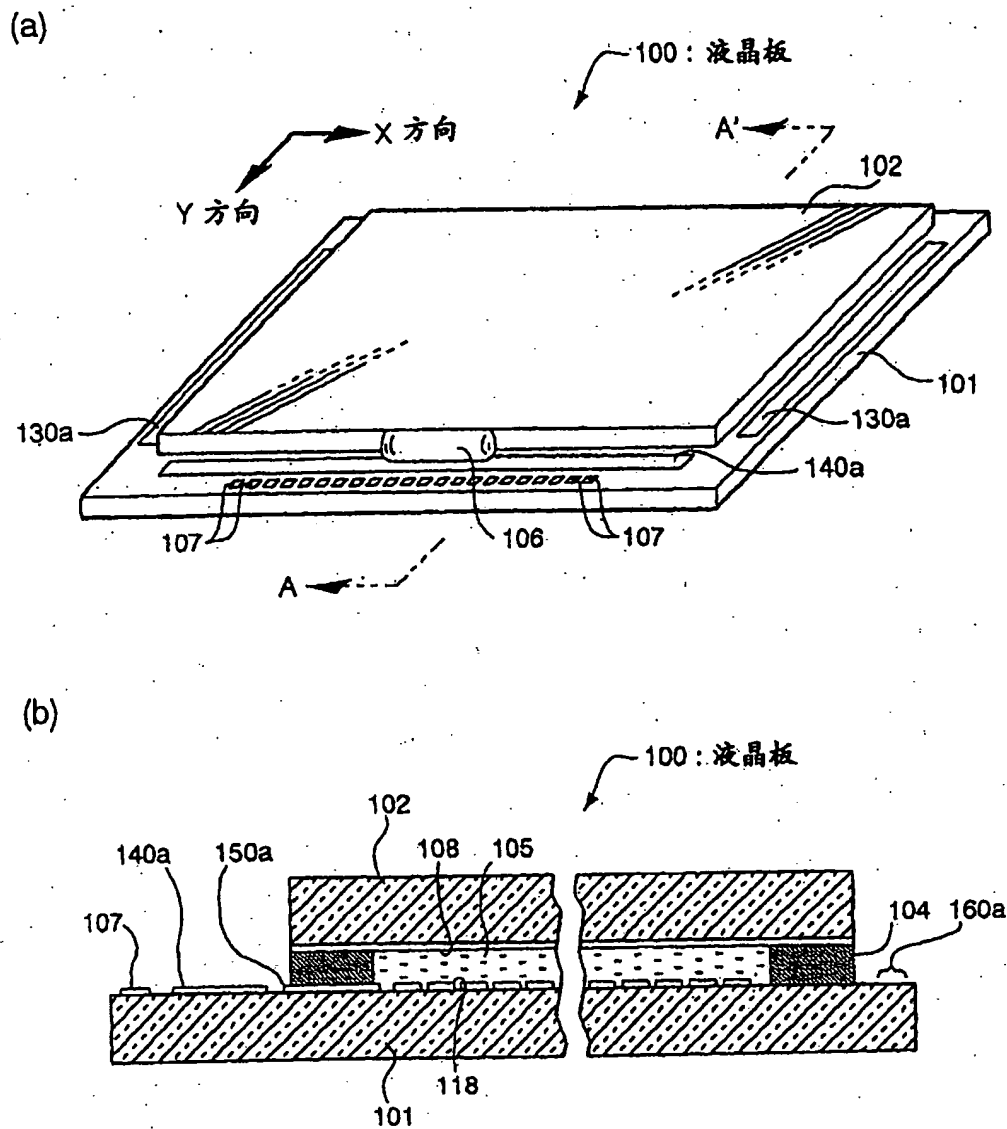


图 1

01.03.28

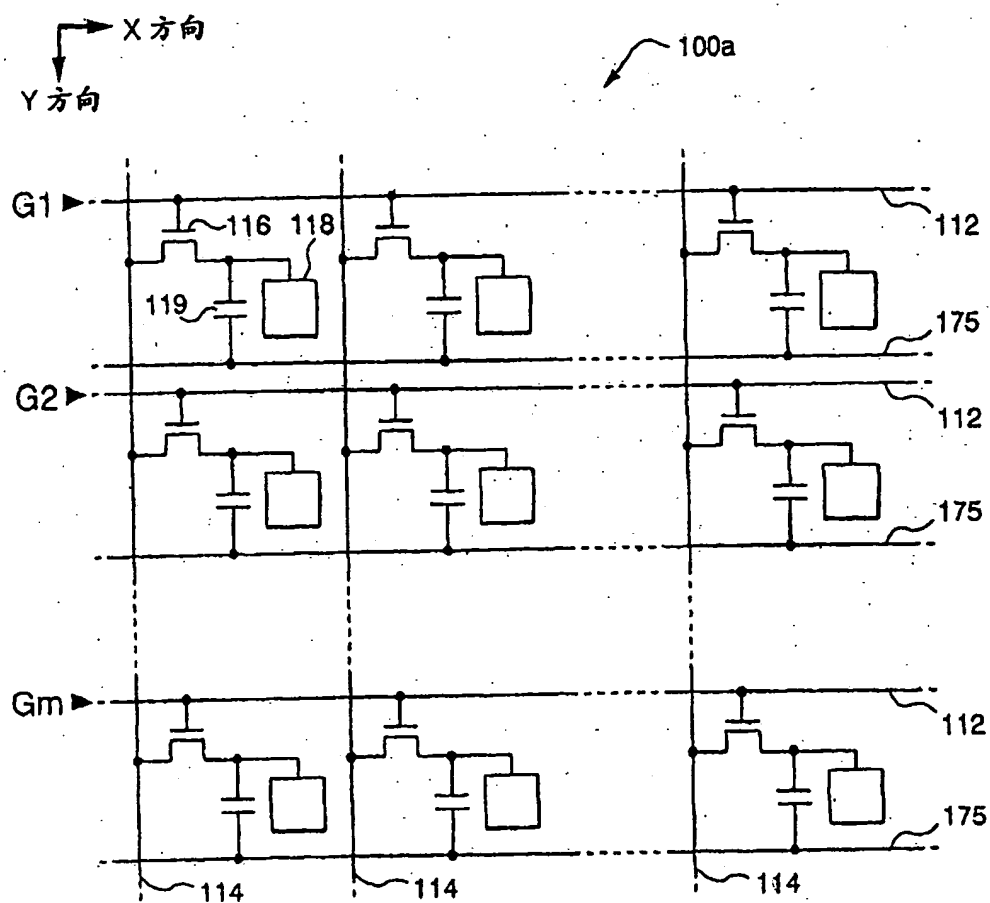


图 3

010328

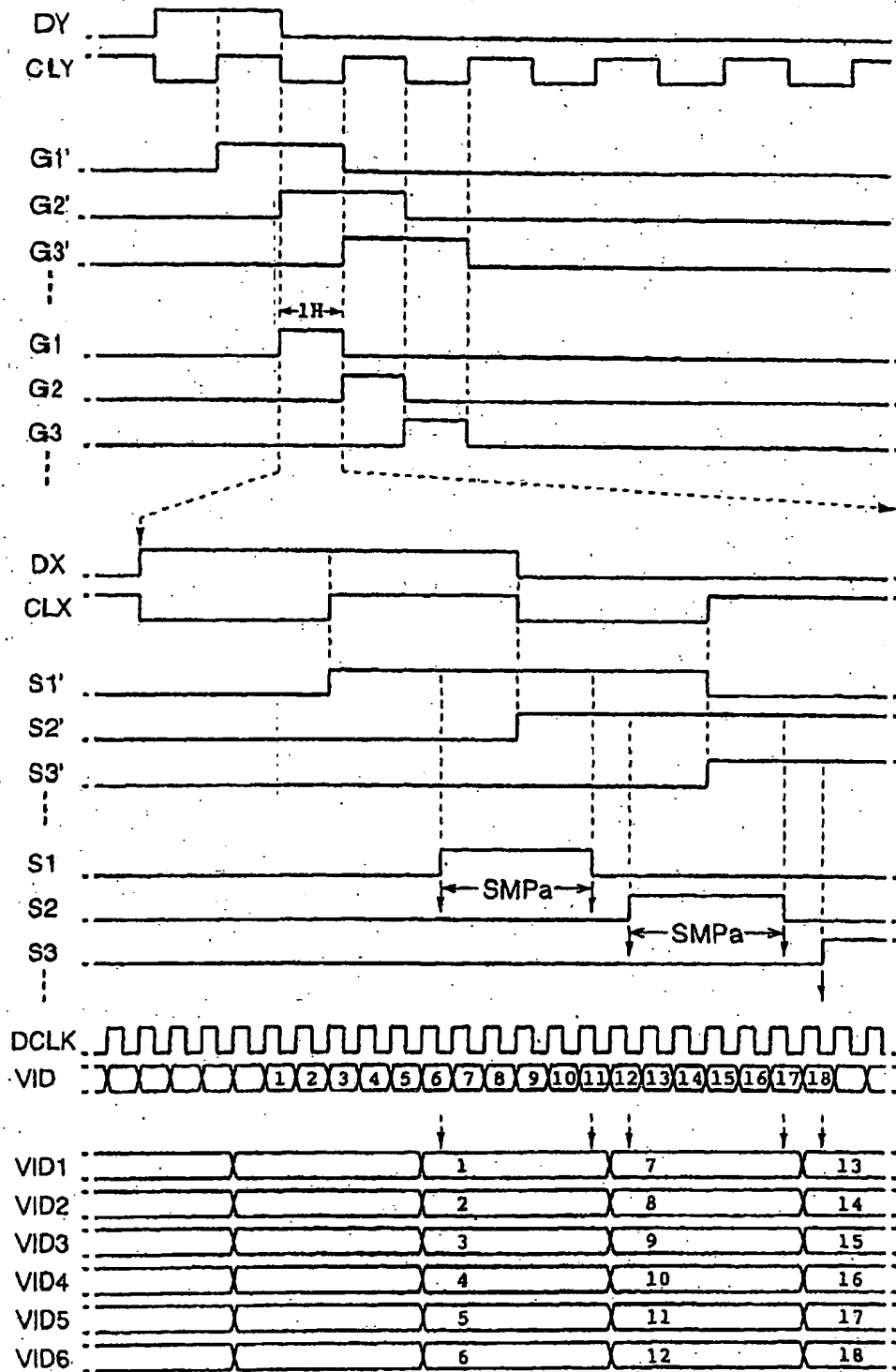


图 4

01.03.28

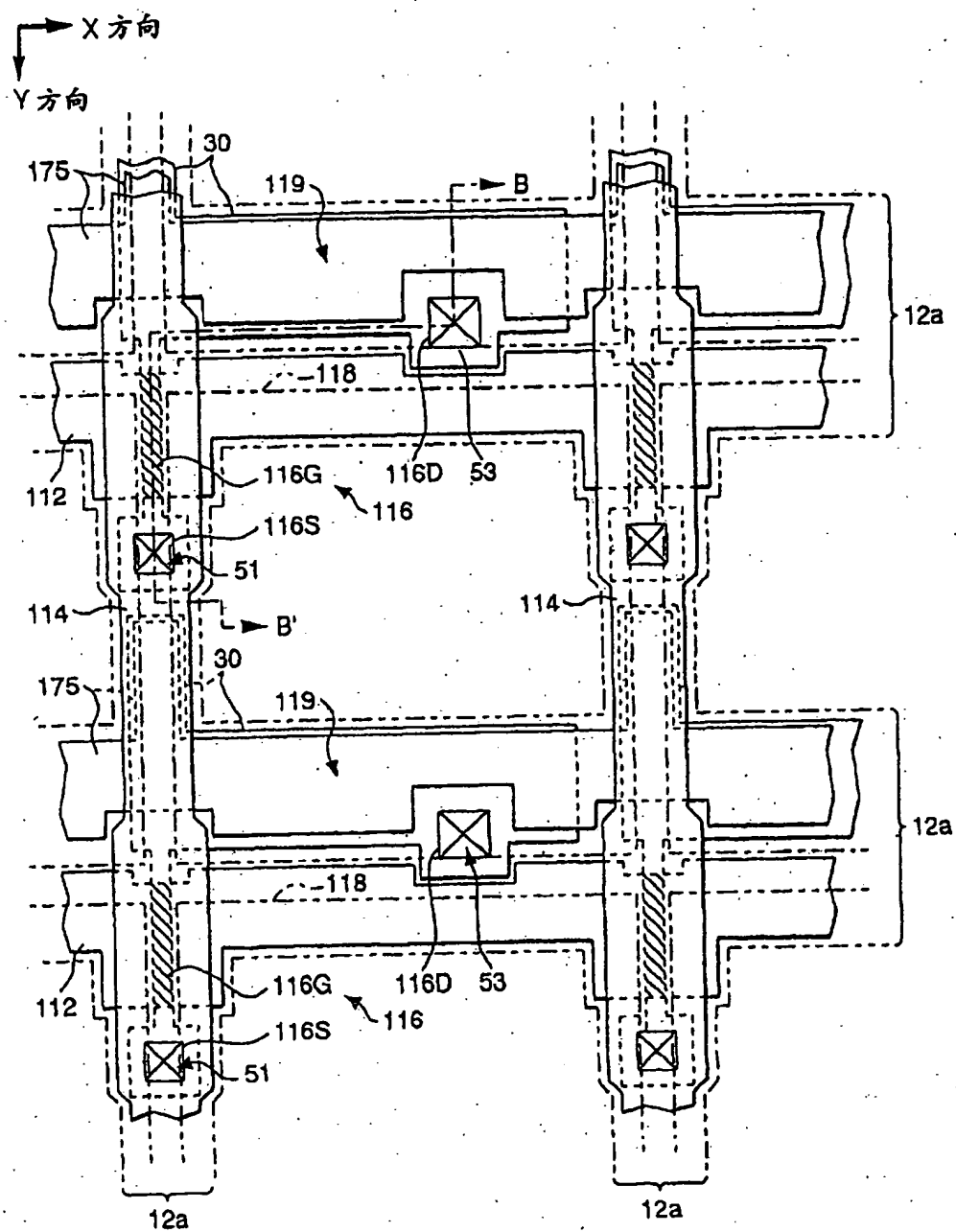


图 5

01.03.26

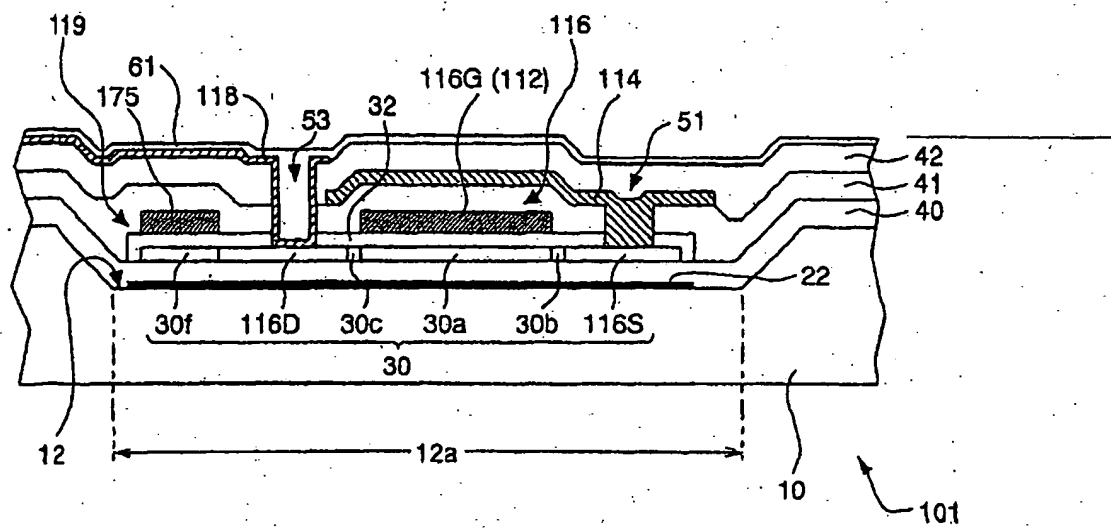


图 6

010325

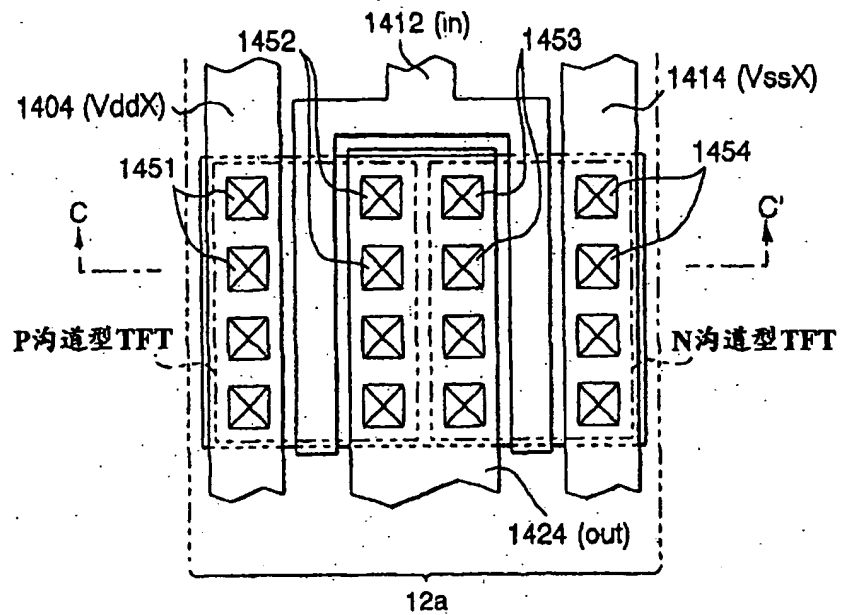


图 7

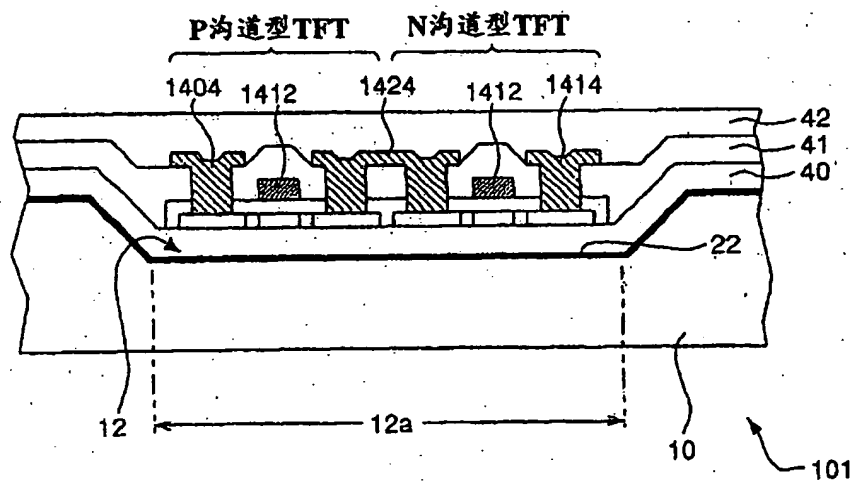


图 8

01.03.25

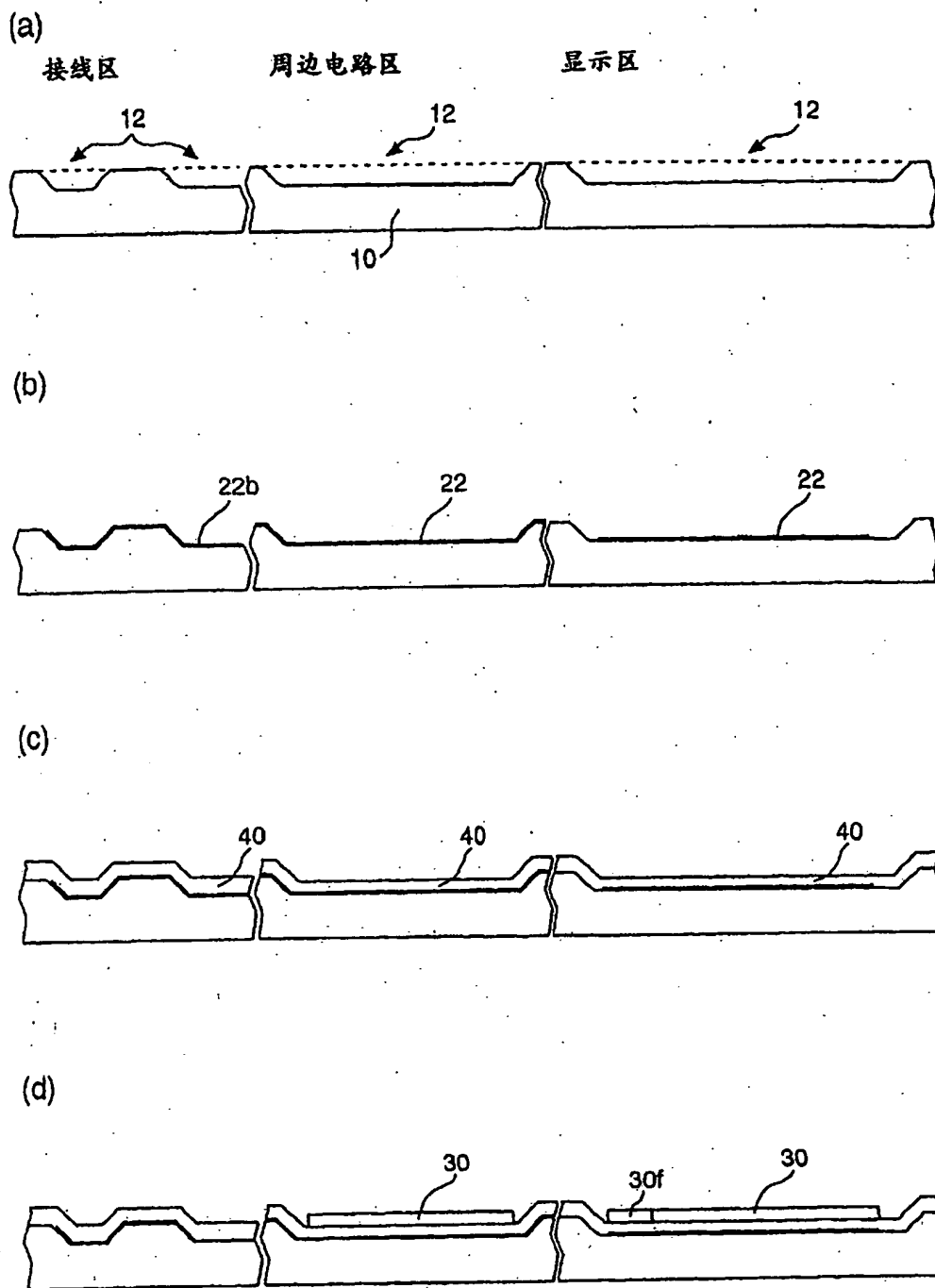
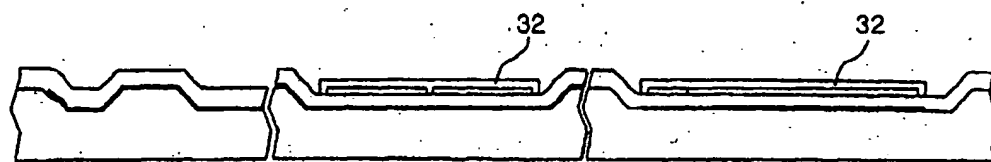


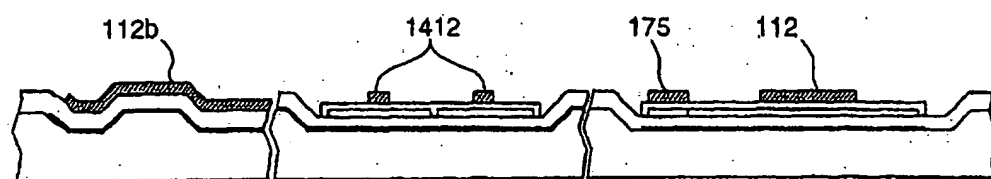
图 11

01.03.28

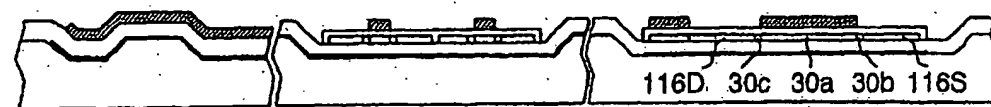
(e)



(f)



(g)



(h)

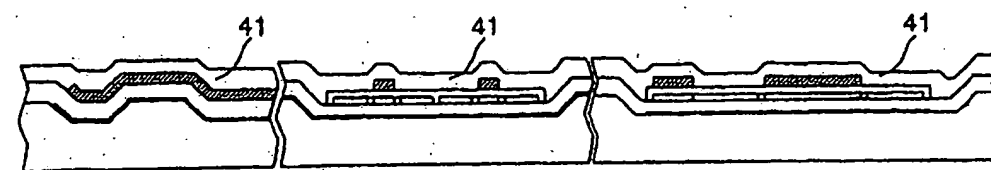
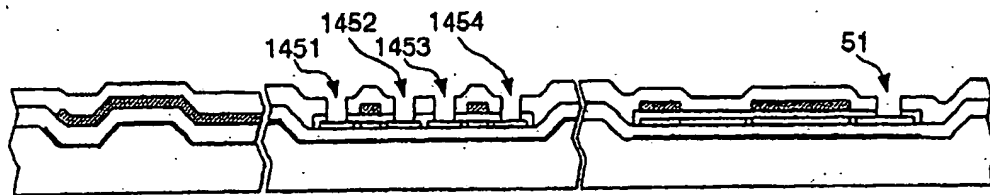


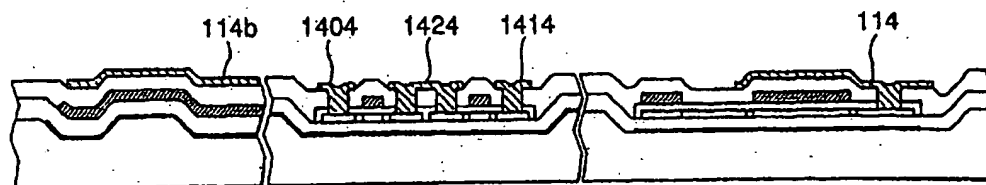
图 12

01.03.25

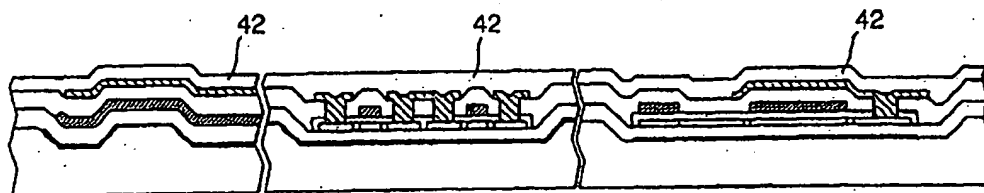
(i)



(j)



(k)



(l)

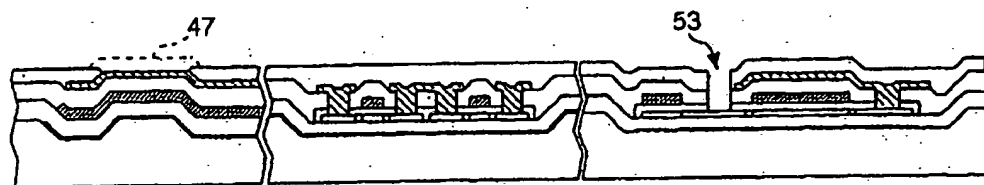


图 13

01.03.25

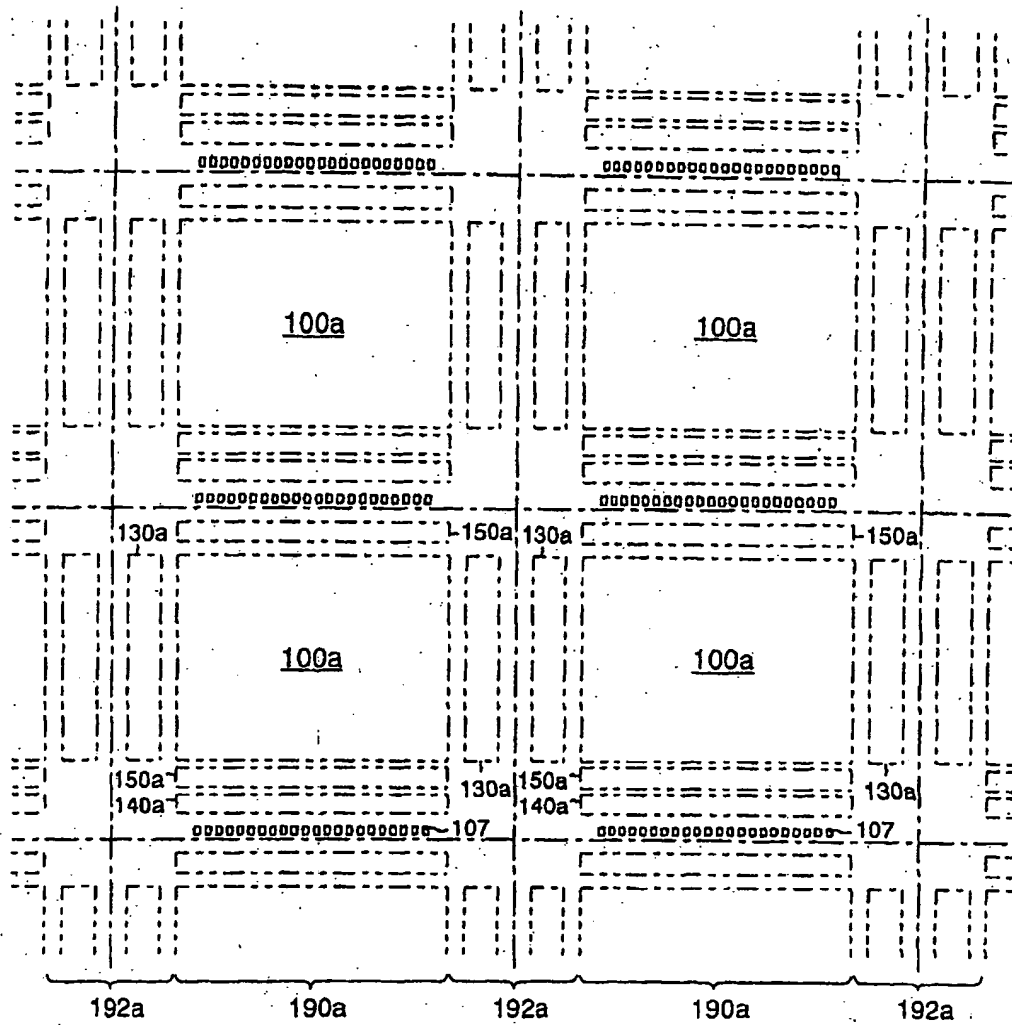


图 14

01.03.28

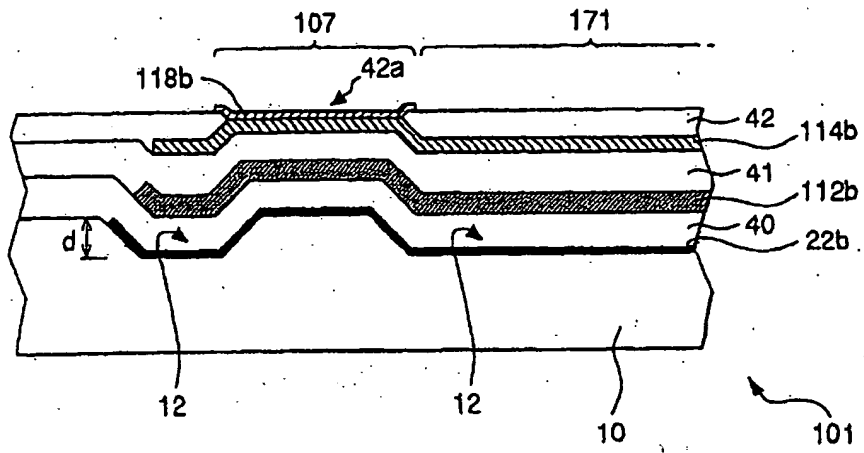


图 15

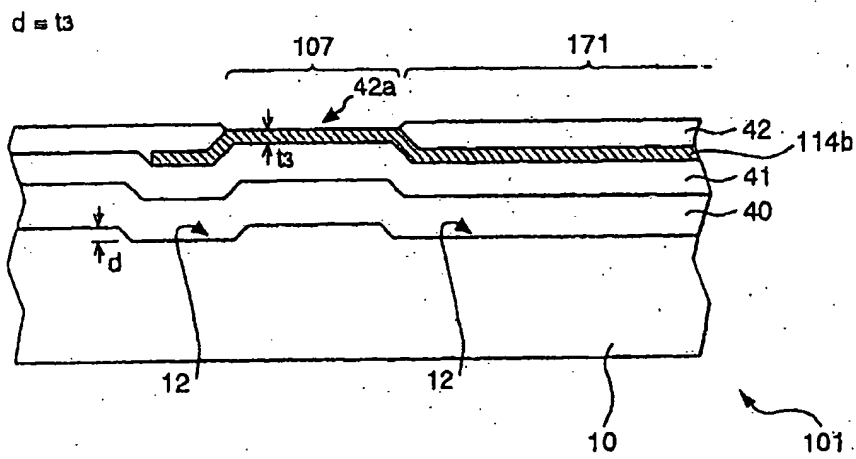


图 16

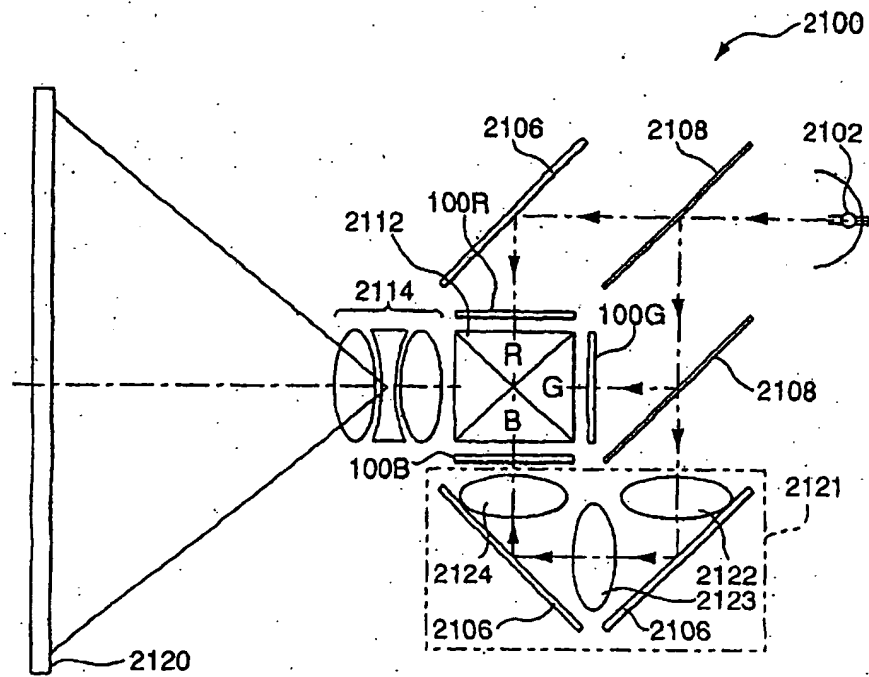


图 17

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.